

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of
Inventor(s): Naotoshi NISHIOKA

| | | |
|-------------|-----|--------------|
| Appln. No.: | Not | Assigned |
| Series Code | ↑ | ↑ Serial No. |

Group Art Unit: Unknown

Filed: April 22, 2004

Examiner: Unknown

Title: SEMICONDUCTOR MEMORY DEVICE WITH
CONFIGURABLE ON-CHIP DELAY CIRCUIT

| | | |
|--------------|------------|---------|
| Atty. Dkt. P | 0309413 | H8157US |
| M# | Client Ref | |

Date: April 22, 2004

**SUBMISSION OF PRIORITY
DOCUMENT IN ACCORDANCE
WITH THE REQUIREMENTS OF RULE 55**

Hon. Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Sir:

Please accept the enclosed certified copy(ies) of the respective foreign application(s) listed below for which benefit under 35 U.S.C. 119/365 has been previously claimed in the subject application and if not is hereby claimed.

| <u>Application No.</u> | <u>Country of Origin</u> | <u>Filed</u> |
|------------------------|--------------------------|----------------|
| 2003-125362 | Japan | April 30, 2003 |

Respectfully submitted,

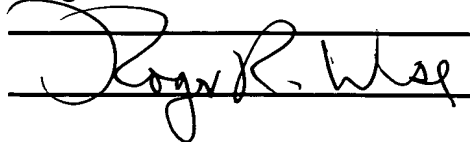
Pillsbury Winthrop LLP
Intellectual Property Group

725 South Figueroa Street, Suite
2800
Los Angeles, CA 90017-5406
Tel: (213) 488-7100

Atty/Sec: RRW/JES

By Atty: **Roger R. Wise**

Sig:



Reg. No. **31204**

Fax: **(213) 629-1033**
Tel: **(213) 488-7584**

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 4 月 3 0 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 1 2 5 3 6 2
Application Number:

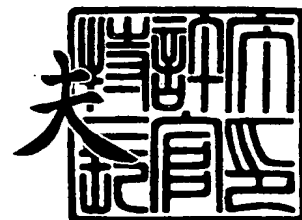
[ST. 10/C]: [J P 2 0 0 3 - 1 2 5 3 6 2]

出 願 人 ヤマハ株式会社
Applicant(s):

2 0 0 4 年 2 月 3 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 0 5 4 7 7

【書類名】 特許願

【整理番号】 J99358A1

【提出日】 平成15年 4月30日

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 17/50

【発明の名称】 メモリ回路

【請求項の数】 5

【発明者】

 【住所又は居所】 静岡県浜松市中沢町 1 0 番 1 号 ヤマハ株式会社内

 【氏名】 西岡 直俊

【特許出願人】

 【識別番号】 000004075

 【氏名又は名称】 ヤマハ株式会社

【代理人】

 【識別番号】 100064908

 【弁理士】

 【氏名又は名称】 志賀 正武

【選任した代理人】

 【識別番号】 100089037

 【弁理士】

 【氏名又は名称】 渡邊 隆

【手数料の表示】

 【予納台帳番号】 008707

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9001626

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 メモリ回路

【特許請求の範囲】

【請求項 1】 外部から入力される書込信号によって、外部から入力されるアドレスで指定されたメモリセルの書き込みが行われ、また、外部から入力される読出信号によって、外部から入力されるアドレスで指定されたメモリセルの読み出しが行われるメモリ回路において、

外部からデータ設定が可能な第 1 のレジスタと、

前記第 1 のレジスタ内のデータによって遅延時間が設定される遅延手段であって、前記書込信号を遅延させて出力する第 1 の遅延手段と、

を具備することを特徴とするメモリ回路。

【請求項 2】 外部からデータ設定が可能な第 2 のレジスタと、前記第 2 のレジスタ内のデータによって前記書込信号のアサート期間が設定される第 1 のアサート期間設定回路を有することを特徴とする請求項 1 に記載のメモリ回路。

【請求項 3】 外部から入力される読出信号によって、外部から入力されるアドレスで指定されたメモリセルの読み出しが行われるメモリ回路において、

外部からデータ設定が可能な第 3 のレジスタと、

前記第 3 のレジスタ内のデータによって遅延時間が設定される遅延手段であって、前記読出信号を遅延させて出力する第 2 の遅延手段と、

を具備することを特徴とするメモリ回路。

【請求項 4】 外部からデータ設定が可能な第 4 のレジスタと、前記第 4 のレジスタ内のデータによって前記読出信号のアサート期間が設定される第 2 のアサート期間設定回路を有することを特徴とする請求項 1 または請求項 2 に記載のメモリ回路。

【請求項 5】 前記第 1 および第 2 の遅延手段は、複数の増幅器をシリーズ接続してなる第 1 ～第 n（n：2 以上の整数）のシリーズ接続回路と、前記シリーズ接続回路の 1 つを前記レジスタの出力に基づいて選択する選択手段とを具備することを特徴とする請求項 1 ～請求項 4 のいずれかの項に記載のメモリ回路。

。

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

この発明は、アクセスタイミングを半導体チップの完成後において変更することができるメモリ回路に関する。

【0002】**【従来の技術】**

半導体LSIによるメモリ回路は、データを記憶するメモリセルアレイと、メモリセルアレイの各メモリセルにデータを書き込みあるいは読み出す制御回路とから構成される。この場合、メモリセルアレイのアクセスタイミングは、ゲート遅延を利用した遅延回路によって生成されるのが一般的である。通常、メモリ回路の設計者は、デバイスパラメータを使用してシミュレーションを行うことによってゲート段数を調整し、アクセスタイミングを最適化する。

【0003】

また、特許文献1には、回路設計時にメモリセルアレイの構成および容量に応じて遅延時間を任意に設定できるメモリ設計技術が記載されている。また、特許文献2、3にも同種の技術が記載されている。

【0004】**【特許文献1】**

特開平08-123838号公報

【特許文献2】

特開2002-25255号公報

【特許文献3】

特開2002-261481号公報

【0005】**【発明が解決しようとする課題】**

しかしながら、例えば、開発されたばかりのプロセスを利用する場合や、チップシュリンクを行った場合には、シミュレーション結果と実チップの特性が大きく外れ、アクセス不良を起こすことが多く、その場合、不良品として処理せざる

を得なかった。また、物理的に遅延段数を変更することが可能な遅延回路は、一旦、LSIのレジンを薬品等で溶解してLSIを露出させFIB等の装置を用いてメタル配線を直接切り貼りして遅延段数を変更する方式であるため、不良解析にしか利用できず、良品として出荷することができなかった。

本発明は上記事情を考慮してなされたもので、アクセス不良のメモリ回路のアクセスタイミングを、チップ完成後において変更することができ、これにより、不良品を良品に直すことができるメモリ回路を提供することにある。

【0006】

【課題を解決するための手段】

この発明は上記の課題を解決するためになされたもので、請求項1に記載の発明は、外部から入力される書込信号によって、外部から入力されるアドレスで指定されたメモリセルの書き込みが行われ、また、外部から入力される読出信号によって、外部から入力されるアドレスで指定されたメモリセルの読み出しが行われるメモリ回路において、外部からデータ設定が可能な第1のレジスタと、前記第1のレジスタ内のデータによって遅延時間が設定される遅延手段であって、前記書込信号を遅延させて出力する第1の遅延手段とを具備することを特徴とするメモリ回路。

【0007】

請求項2に記載の発明は、請求項1に記載のメモリ回路において、外部からデータ設定が可能な第2のレジスタと、前記第2のレジスタ内のデータによって前記書込信号のアサート期間が設定される第1のアサート期間設定回路を有することを特徴とする。

請求項3に記載の発明は、外部から入力される読出信号によって、外部から入力されるアドレスで指定されたメモリセルの読み出しが行われるメモリ回路において、外部からデータ設定が可能な第3のレジスタと、前記第3のレジスタ内のデータによって遅延時間が設定される遅延手段であって、前記読出信号を遅延させて出力する第2の遅延手段とを具備することを特徴とするメモリ回路である。

【0008】

請求項4に記載の発明は、請求項1または請求項2に記載のメモリ回路におい

て、外部からデータ設定が可能な第 4 のレジスタと、前記第 4 のレジスタ内のデータによって前記読出信号のアサート期間が設定される第 2 のアサート期間設定回路を有することを特徴とする。

請求項 5 に記載の発明は、請求項 1 ～請求項 4 のいずれかの項に記載のメモリ回路において、前記第 1 および第 2 の遅延手段は、複数の増幅器をシリーズ接続してなる第 1 ～第 n（n：2 以上の整数）のシリーズ接続回路と、前記シリーズ接続回路の 1 つを前記レジスタの出力に基づいて選択する選択手段とを具備することを特徴とする。

【0 0 0 9】

【発明の実施の形態】

以下、図面を参照し、この発明の実施の形態について説明する。図 1 はこの発明の一実施の形態によるメモリ回路の構成を示すブロック図である。この図において、符号 1 はローアドレス R add が一時記憶されるローアドレスバッファ、2 はローアドレスバッファ 1 の出力をデコードするローアドレスデコーダ、3 はメモリセルアレイであり、このメモリセルアレイ 3 のワード線がローアドレスデコーダ 2 の出力によって駆動される。4 はカラムアドレス C add が一時記憶されるカラムアドレスバッファ、5 はカラムアドレスバッファ 4 の出力をデコードするカラムアドレスデコーダであり、このカラムアドレスデコーダ 5 の出力によってメモリセルアレイ 3 のビット線が駆動される。

【0 0 1 0】

符号 1 0 は書込信号 WE を一定時間遅延させる遅延制御回路である。1 1 は書込アンプであり、遅延制御回路 1 0 の出力信号 WE 1 のタイミングでアクティブとなり、書込データ D in を増幅し、I / O 回路 6 を介してメモリセルアレイ 3 へ出力する。1 3 はリード信号 R を一定時間遅延させる遅延制御回路である。1 4 はセンスアンプであり、遅延制御回路 1 3 の出力信号 R 1 のタイミングでアクティブとなり、メモリセルアレイ 3 から読み出されたデータを増幅して出力する。

【0 0 1 1】

図 2 はメモリセルアレイ 3 を構成する各メモリセル 3 a およびビット線をプリチャージするプリチャージ回路 1 6 と、センスアンプ 1 4 の関係を示す図である

。ローアドレスによってワード線が駆動されると、2 個の F E T がオンとなり、記憶素子のデータが 2 本のビット線に出力される。そして、カラムアドレスによって選択されたビット線のデータがセンスアンプ 1 4 によって増幅され、出力データ Dout としてセンスアンプ 1 4 から出力される。

【0 0 1 2】

図 3 は遅延制御回路 1 0、1 3 の基礎となる遅延回路の構成を示す回路図である。この図において、2 1 は外部の C P U（中央処理装置）によって書き換え可能なレジスタ、2 2 はレジスタ 2 1 の出力をデコードするデコーダ、2 3 は可変遅延回路である。この可変遅延回路 2 3 において、2 4 A ~ 2 4 E はトライステートバッファであり、デコーダ 2 2 の出力に応じて、いずれか 1 つのみがアクティブ状態となる。2 5、2 5 . . . はそれぞれ所定個数（偶数個）のインバータを直列接続した増幅器（遅延ゲート）である。

【0 0 1 3】

このような構成において、トライステートバッファ 2 4 A がアクティブ状態になると、入力端 I N の信号がトライステートバッファ 2 4 A を通して出力され、トライステートバッファ 2 4 B がアクティブ状態になると、入力端 I N の信号が 1 個の増幅器 2 5 によって遅延され、トライステートバッファ 2 4 B を通して出力され、トライステートバッファ 2 4 C がアクティブ状態になると、入力端 I N の信号が 2 個増幅器によって遅延され、トライステートバッファ 2 4 C を通して出力される。同様に、トライステートバッファ 2 4 D、2 4 E がアクティブ状態になると、入力端 I N の信号が 3 個、4 個の増幅器によって遅延され、トライステートバッファ 2 4 D、2 4 E を通して出力される。このように、図 3 の遅延回路は、遅延時間をレジスタ 2 1 のデータによって変えることができる。

【0 0 1 4】

図 4 は上述した遅延回路を用いて構成した遅延制御回路 1 0 の構成を示すブロック図であり、この図において、3 0 は書込信号 W E が入力される端子、2 1 a、2 2 a、2 3 a はそれぞれ図 3 に示すレジスタ 2 1、デコーダ 2 2、可変遅延回路 2 3 と同一構成の回路である。同様に、2 1 b、2 2 b、2 3 b はそれぞれ図 3 に示すレジスタ 2 1、デコーダ 2 2、可変遅延回路 2 3 と同一構成の回路で

ある。端子 30 へ入力された書込信号 WE は可変遅延回路 23 a によって遅延され、アンドゲート 31 の第 1 入力端および可変遅延回路 23 b の入力端へ供給される。可変遅延回路 23 b は入力された信号をさらに遅延し、アンドゲート 31 の第 2 入力端へ供給する。アンドゲート 31 は可変遅延回路 23 a、23 b の各出力の AND をとり、その結果を端子 32 から信号 WE 1 として出力する。

【0015】

このような構成において、可変遅延回路 23 a は書込信号 WE を一定時間遅延させ、言い換えれば、位相を制御して出力する。また、可変遅延回路 23 b およびアンドゲート 31 は、可変遅延回路 23 a によって位相を制御された信号のアサート期間を制御して出力する。すなわち、書込信号 WE は、レジスタ 21 a、21 b 内のデータに基づいて位相およびアサート期間が制御され、書込アンプ 11 へ出力される。書き込みアンプ 11 は、信号 WE 1 のタイミングで書き込みデータ Din を I/O 回路 6 を介してメモリセルアレイ 3 のビット線へ出力する。

【0016】

次に、図 5 は、遅延制御回路 13 の構成を示すブロック図であり、この図において、R はリード信号、CK はクロックパルスである。41 は D-FF (ディレイ・フリップフロップ) であり、クロックパルス CK の立ち上がりにおいてリード信号 R を読み込み、アンドゲート 42 へ出力する。アンドゲート 42 はリード信号 R、D-FF 41 の出力およびクロックパルス CK の AND をとり、その結果を信号 A として出力する。23 c、23 d、23 e は各々、図 3 に示す可変遅延回路 23 と同一構成の可変遅延回路である。なお、これらの可変遅延回路 23 c ~ 23 e には各々対応して図 3 に示すレジスタ 21 およびデコーダ 22 が設けられているが、図 5 においては図示を省略している。43 はオアゲートであり、アンドゲート 42 の出力 A と可変遅延回路 23 d の出力 C のオアをとって出力する。44 はアンドゲートであり、アンドゲート 42 の出力 A と可変遅延回路 23 d の出力 C の AND をとり、可変遅延回路 23 e へ出力する。

【0017】

次に、上述した遅延制御回路 13 の動作を図 6 に示すタイミングチャートを参照して説明する。

まず、リード信号R（図6（ロ））が立ち上がり、同時に、アドレス（図6（ハ））がローアドレスバッファ1およびカラムアドレスバッファ4に読み込まれると、次のクロックパルスCK（図6（イ））の立ち上がりにおいて、アンドゲート42の出力信号A（図6（ニ））が立ち上がる。信号Aが立ち上がると、オアゲート43の出力が立ち上がり、プリチャージ信号PC（図6（チ））としてメモリセルアレイ3へ出力される。これにより、メモリセルアレイ3の各ビット線のプリチャージが行われる。また、信号Aが立ち上がると、その立ち上がりから可変遅延回路23cの遅延時間が経過後に同可変遅延回路23cの出力信号B（図6（ホ））が立ち上がり、ワード線信号WD（図6（ト））としてローアドレスデコーダ2へ出力される。このワード線信号WDのタイミングでメモリセルアレイ3の各ワード線へローアドレスデコーダ2の出力が加えられる。

【0018】

また、可変遅延回路23cの出力信号Bが立ち上がると、その立ち上がりから可変遅延回路23dの遅延時間が経過後に同可変遅延回路23dの出力信号C（図6（ヘ））が立ち上がり、これにより、アンドゲート44の出力が立ち上がる。アンドゲート44の出力信号が立ち上がると、その立ち上がりから可変遅延回路23eの遅延時間が経過後に同可変遅延回路23eの出力信号が立ち上がり、センスアンプ起動信号R1（図6（リ））としてセンスアンプ14へ出力される。これにより、センスアンプ14がアクティブ状態となり、センスアンプ14からリードデータDout（図6（ヌ））が出力される。

【0019】

次にクロックパルスCKが立ち下がると、信号Aが立ち下がる。信号Aが立ち下がると、アンドゲート44の出力信号が立ち下がり、可変遅延回路23eの遅延時間後にセンスアンプ起動信号R1が立ち下がり、センスアンプ14が再び非動作状態となる。また、信号Aが立ち下がると、可変遅延回路23cの遅延時間後に信号B（ワード線信号WD）が立ち下がり、信号Bが立ち下がると、可変遅延回路23dの遅延時間後に信号Cが立ち下がる。信号Cが立ち下がると、プリチャージ信号PCが立ち下がる。

【0020】

図 7 は上述した実施形態の効果を説明するための図である。図 7 (イ) はビット線の電位差がセンスアンプの差動入力感度に達する前にセンスアンプの起動が行われており、このため、正常な値を読み出すことができない。これに対し、図 7 (ロ) はビット線の電位差がセンスアンプの差動入力感度に達した後にセンスアンプの起動が行われており、これにより、正常な値を読み出すことができる。

上述した実施形態によれば、センスアンプ起動信号 R 1 の発生タイミングを可変遅延回路 2 3 c ~ 2 3 e によって自由に設定することができ、これにより、図 7 (ロ) のタイミングでセンスアンプ起動信号 R 1 を発生させることができる。

【 0 0 2 1 】

このように、上記実施形態によれば、タイミング不良による不良品であっても、初期化プログラムで L S I 起動時にレジスタを書き替えることにより、良品とすることができる。また、フラッシュメモリ等の不揮発性メモリを内蔵した L S I の場合には、上記初期化プログラムを工場出荷時に設定することが考えられる。

なお、上記実施形態においては、遅延制御回路 1 0、1 3 に各々図 4 および図 5 に示す回路を用いたが、例えば、遅延制御回路 1 3 に図 4 の回路を用いてもよく、また、遅延制御回路 1 0 に図 3 の回路を用いてもよい。

また、上記実施形態は書込/読出可能なメモリ回路であるが、この発明は読出し専用のメモリ回路にも適用することができる。

また、書込/読出可能メモリ回路であっても、書込側または読出側の双方に遅延手段を設けるのではなく、一方にのみ遅延手段を設けてもよい。

【 0 0 2 2 】

【発明の効果】

以上説明したように、この発明によれば、メモリ回路のアクセスタイミングを、レジスタの書き換えによって変更することができる。これにより、チップ完成後においてもタイミング不良による不良品を良品に直すことができ、歩留まりを向上させることができる効果が得られる。また、この発明によれば、電氣的に遅延回路の段数を変化させることができるので、メモリ回路の不良解析を容易に行うことができる。

【図面の簡単な説明】

【図 1】 この発明の一実施形態によるメモリ回路の構成を示すブロック図である。

【図 2】 同実施形態におけるメモリセルアレイ 3 を構成する各メモリセル 3 a およびプリチャージ回路 1 6 と、センスアンプ 1 4 の関係を示す図である。

【図 3】 同実施形態における遅延制御回路 1 0、1 3 の基礎となる遅延回路の構成を示す回路図である。

【図 4】 同実施形態における遅延制御回路 1 0 の構成を示すブロック図である。

【図 5】 同実施形態における遅延制御回路 1 3 の構成を示すブロック図である。

【図 6】 遅延制御回路 1 3 の動作を説明するためのタイミングチャートである。

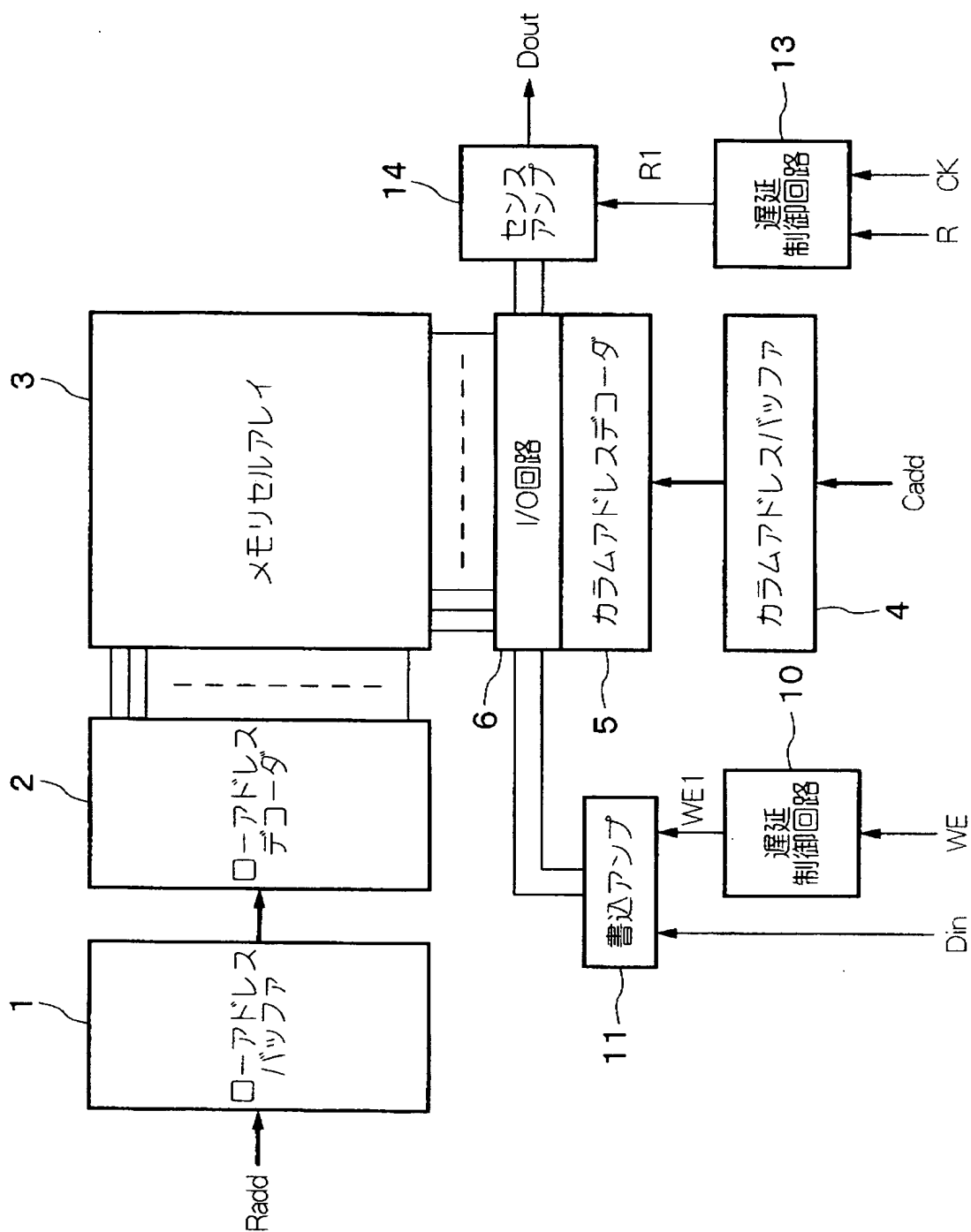
【図 7】 同実施形態の効果を説明するための図である。

【符号の説明】

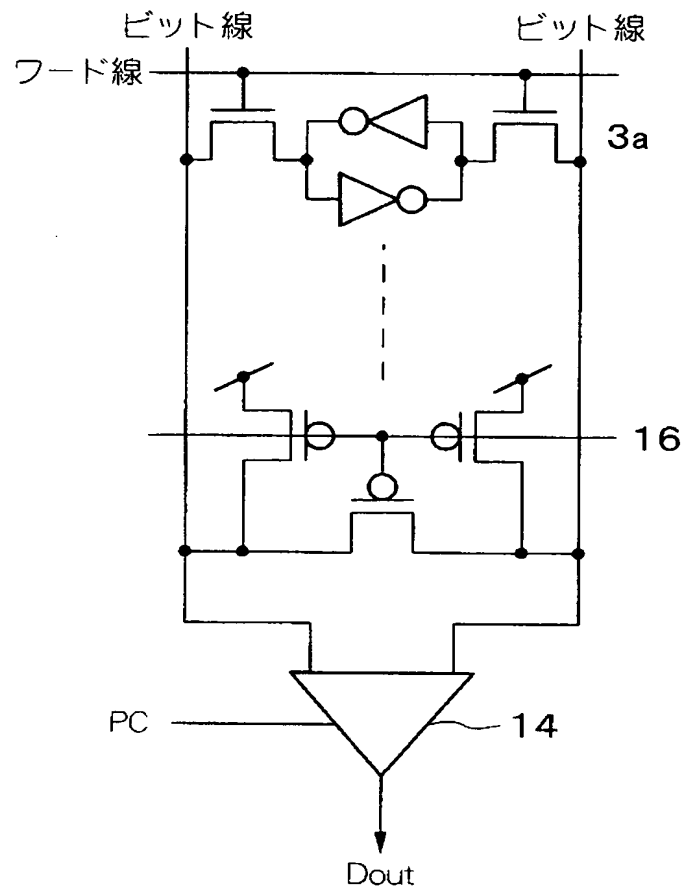
3…メモリセルアレイ、1 0、1 3…遅延制御回路、1 1…書込アンプ、1 4…センスアンプ、2 1、2 1 a、2 1 b…レジスタ、2 2、2 2 a、2 2 b…デコーダ、2 3、2 3 a、2 3 b、2 3 c、2 3 d、2 3 e…可変遅延回路、2 4 A～2 4 E…トライステートバッファ、2 5…増幅器、3 1、4 2、4 4…アンドゲート、4 1…D-F F、4 3…オアゲート。

【書類名】 図面

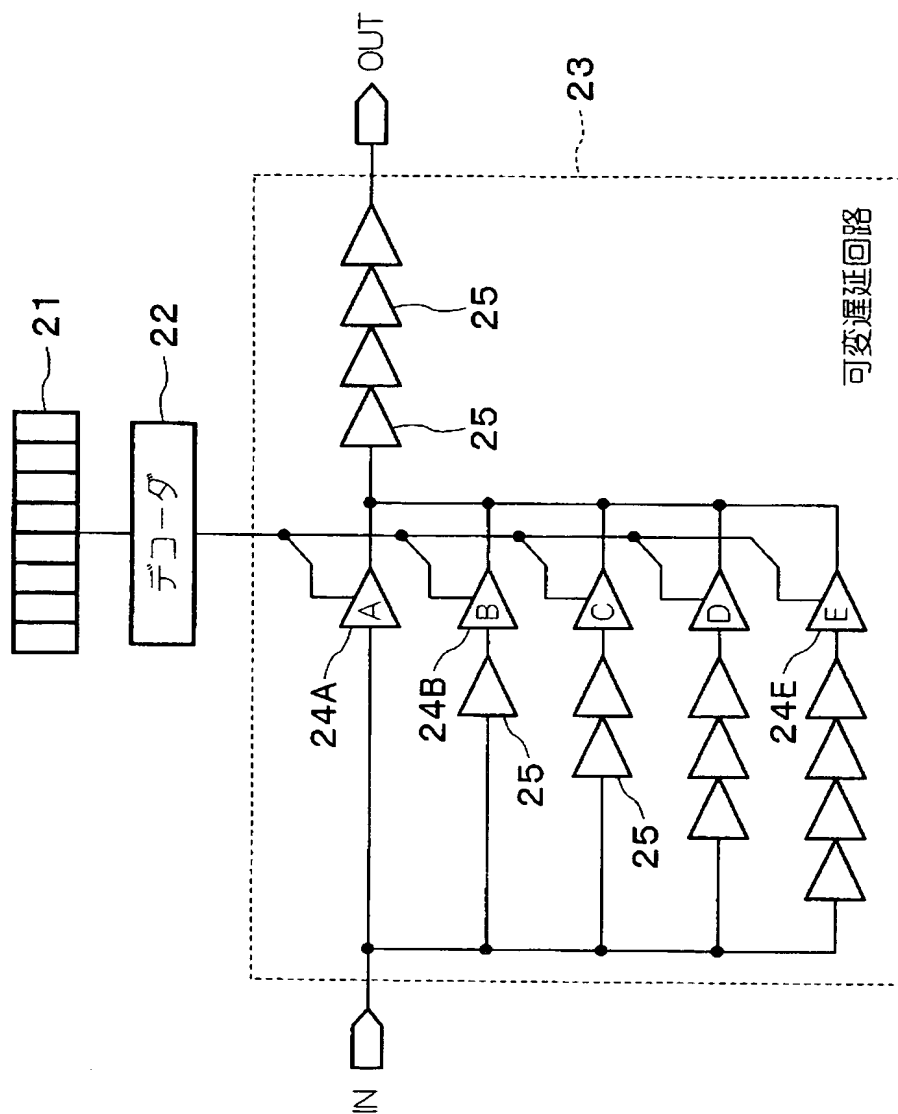
【図 1】



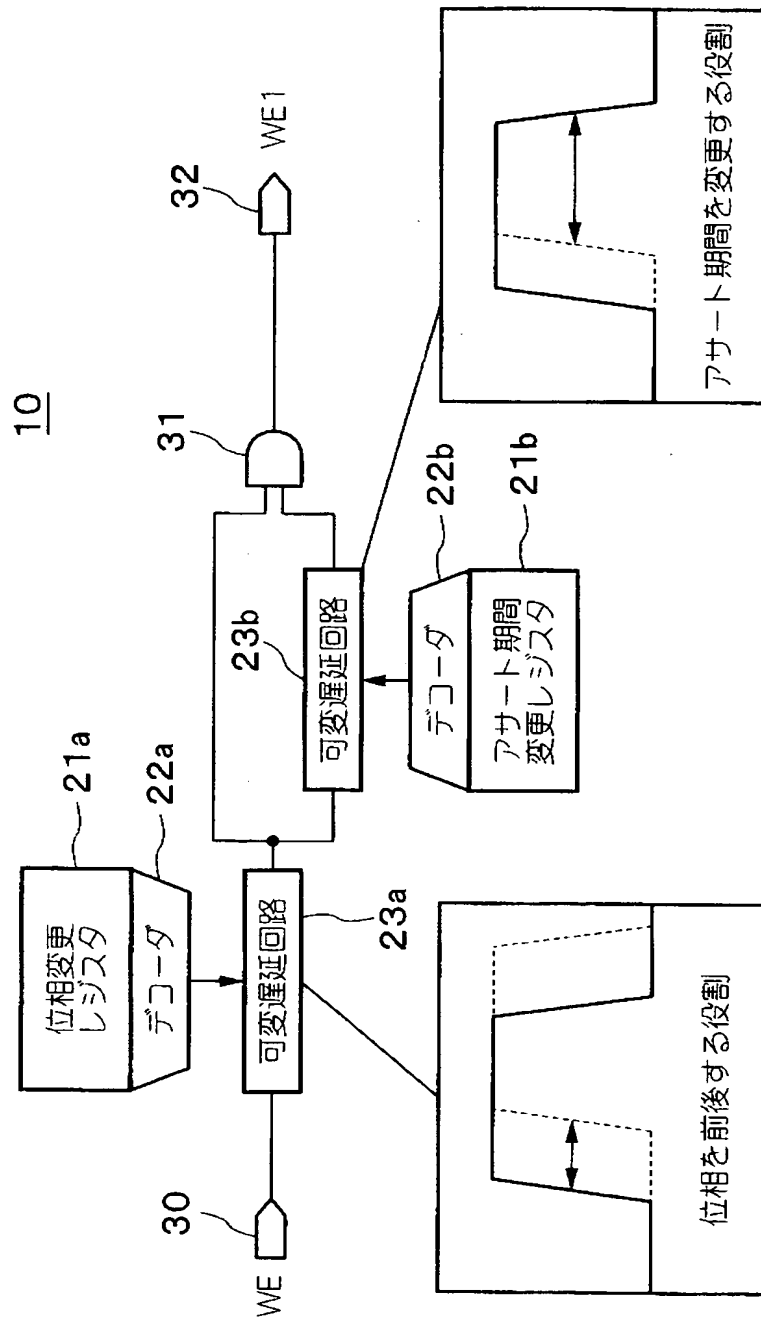
【図 2】



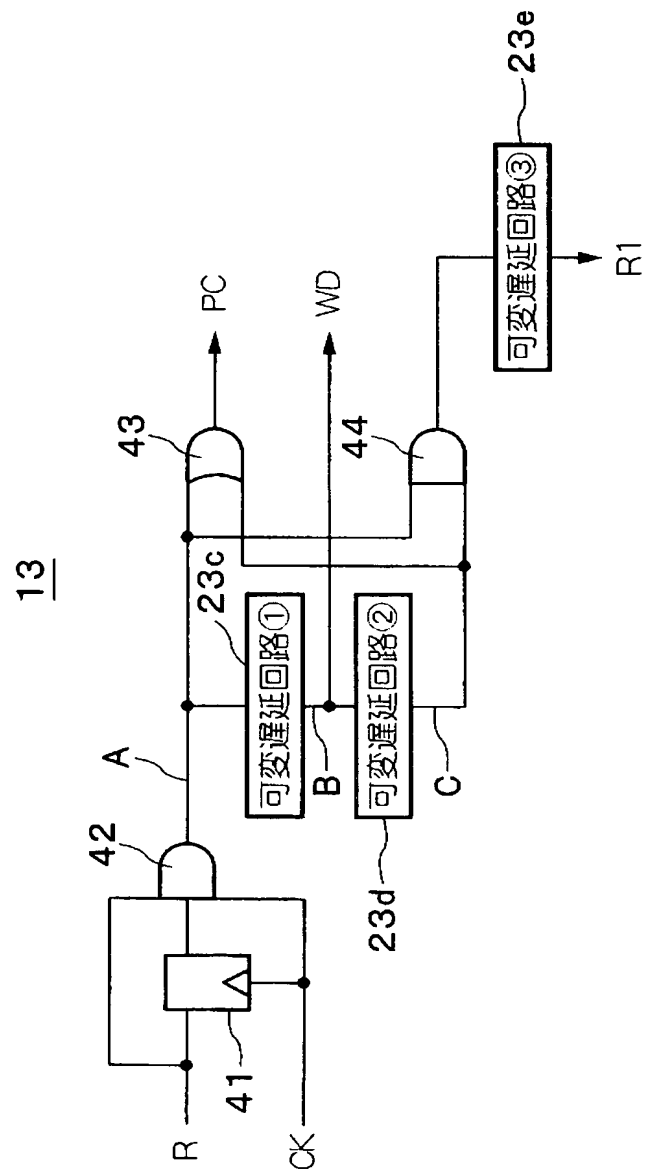
【図 3】



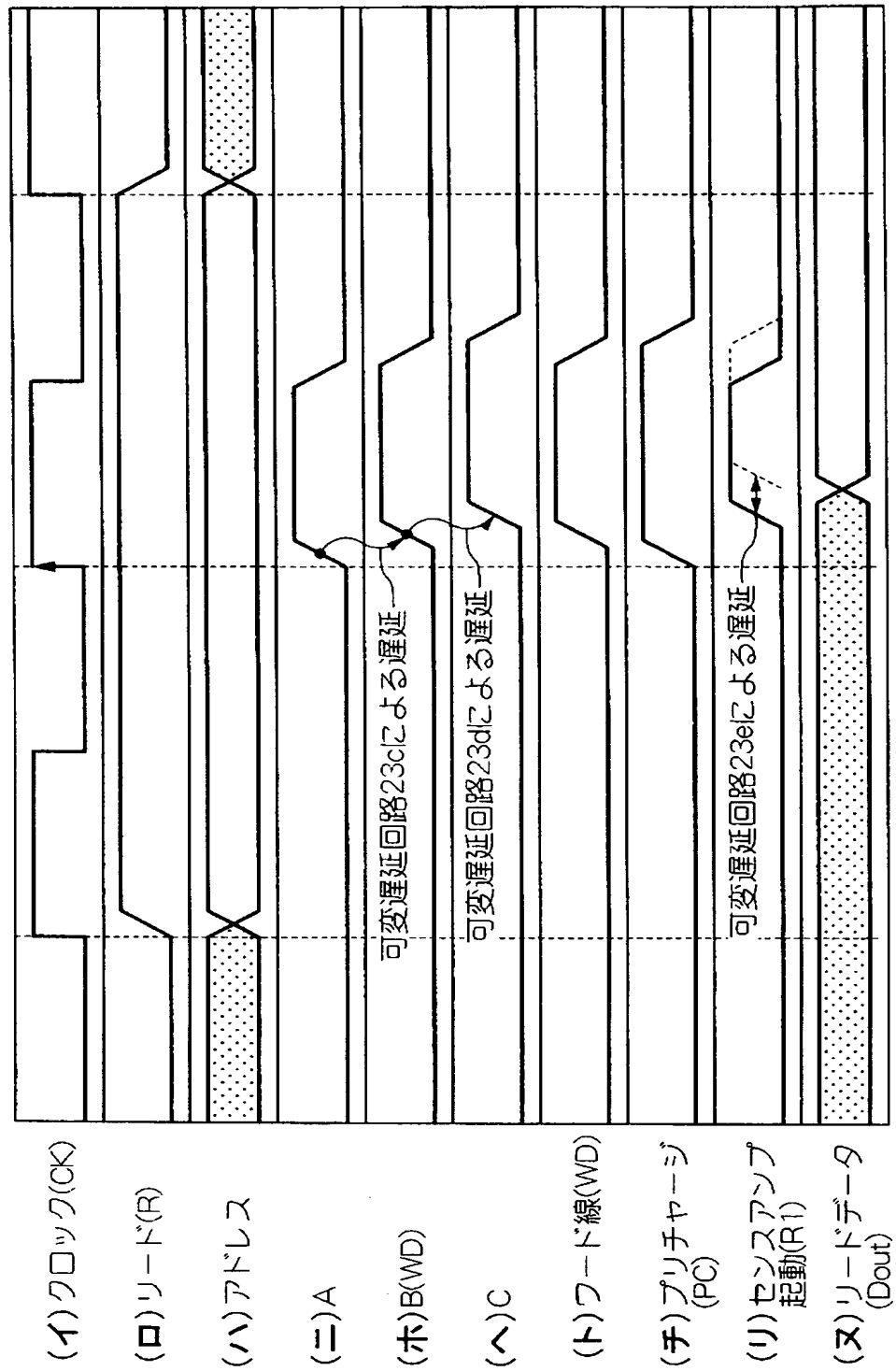
【図 4】



【図 5】

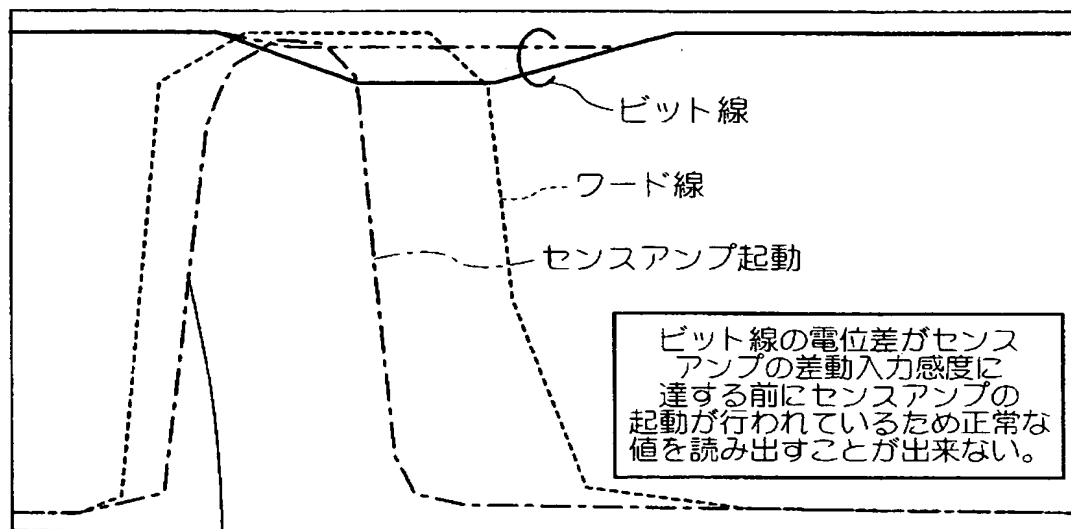


【図 6】



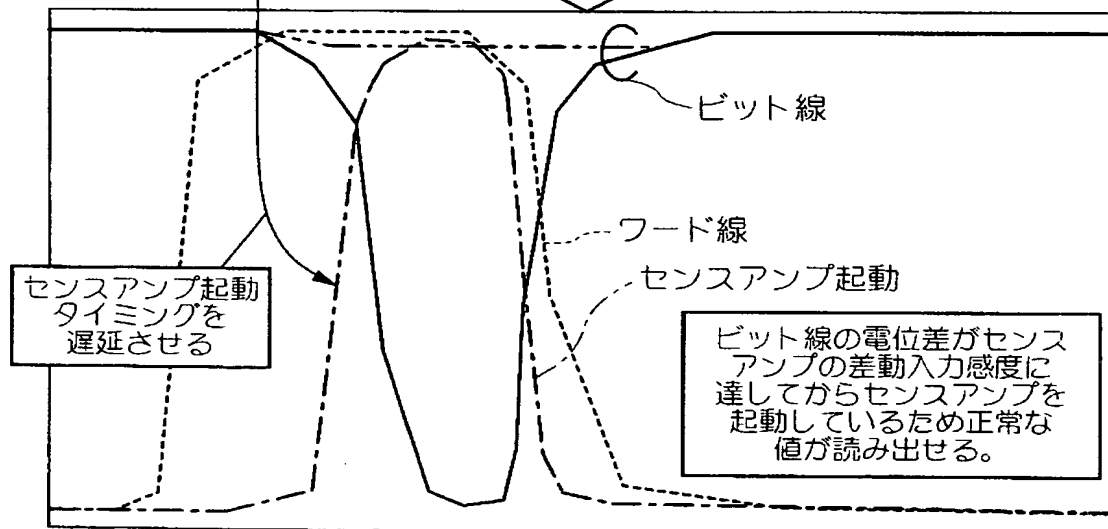
【図 7】

(イ)



(ロ)

プログラムで遅延段数制御レジスタの値を変更する



【書類名】 要約書

【要約】

【課題】 アクセスタイミングを、チップ完成後において変更することができ、これにより、不良品を良品に直すことができるメモリ回路を提供する。

【解決手段】 遅延制御回路10は、外部からデータ設定が可能なレジスタと、このレジスタ内のデータによって遅延時間が設定される遅延回路によって構成され、書込信号WEを遅延させて書込アンプ11へ出力する。遅延制御回路13も同様に、外部からデータ設定が可能なレジスタと、このレジスタ内のデータによって遅延時間が設定される遅延回路によって構成される。そして、読出信号Rを遅延させてセンスアンプ14へ出力する。このような構成により、アクセスタイミングによる不良の場合に、レジスタ書き換えによって、良品に直すことが可能となる。

【選択図】 図1

特願 2 0 0 3 - 1 2 5 3 6 2

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 4 0 7 5]

| | |
|----------|---------------------|
| 1. 変更年月日 | 1 9 9 0 年 8 月 2 2 日 |
| [変更理由] | 新規登録 |
| 住 所 | 静岡県浜松市中沢町 1 0 番 1 号 |
| 氏 名 | ヤマハ株式会社 |